

#4

Docket: 0819-0504

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT application of)

SHINICHI TASHIRO et al.)

) Group Art Unit: Unassigned

Serial No. 09/788,504)

Filed: 02/21/2001)

For: TIMING GENERATOR FOR)

SOLID-STATE IMAGING)

DEVICE)



CERTIFICATE OF MAILING	
I hereby certify that this correspondence is being deposited with The United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Commissioner for Patents, Washington, D.C. 20231, on <u>Dec 8/01</u>	
<u>[Signature]</u>	

TRANSMITTAL OF PRIORITY DOCUMENT AND CLAIM OF FOREIGN
FILING DATE PURSUANT TO 35 U.S.C. § 119

Commissioner for Patents

Washington, D.C. 20231

Sir:

At the time of filing the above-references application, benefit of foreign priority under 35 U.S.C. § 119 was claimed. Submitted herewith is a certified copy of priority document number 2000-042193 to perfect the claim of priority. Acknowledgment is respectfully requested.

Respectfully submitted,

[Signature]
Eric J. Robinson
Reg. No. 38,285

Nixon Peabody LLP
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
(703) 790-9110



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT
CERTIFIED COPY OF
PRIORITY DOCUMENT

別紙添付書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月21日

出願番号
Application Number:

特願2000-042193

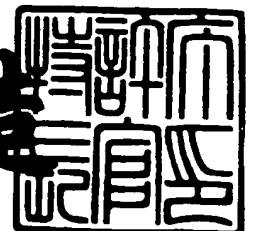
出願人
Applicant(s):

松下電子工業株式会社

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3023133

【書類名】 特許願

【整理番号】 2923210009

【提出日】 平成12年 2月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明者】

 【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

 【氏名】 田代 信一

【発明者】

 【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

 【氏名】 武田 勝見

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【手数料の表示】

 【予納台帳番号】 014409

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9601027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子のためのタイミングジェネレータ

【特許請求の範囲】

【請求項 1】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータであって、

垂直同期信号の各パルスをトリガとしてカウント動作を実行する第 1 のカウンタと、

水平同期信号の各パルスをトリガとしてカウント動作を実行する第 2 のカウンタと、

出力パルスの論理レベルの繰り返しパターンを表す時系列データを格納しておくための時系列データメモリと、

前記第 1 及び第 2 のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すエッジデータを格納しておくためのエッジデータメモリと、

前記第 1 及び第 2 のカウンタのカウント値が前記エッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを備えたことを特徴とするタイミングジェネレータ。

【請求項 2】 請求項 1 記載のタイミングジェネレータにおいて、

前記時系列データメモリは、前記第 2 のカウンタのカウント値を読み出しアドレスとして受け入れて、前記時系列データに基づく出力パルスを供給する機能を有することを特徴とするタイミングジェネレータ。

【請求項 3】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータと、該タイミングジェネレータに外付けされたメモリとを有するタイミングジェネレータシステムであって、

前記タイミングジェネレータは、

垂直同期信号の各パルスをトリガとしてカウント動作を実行する第 1 のカウンタと、

水平同期信号の各パルスをトリガとしてカウント動作を実行する第 2 のカウンタと、

タと、

出力パルスの論理レベルの繰り返しパターンを表す第 1 の時系列データを格納しておくための時系列データメモリと、

前記第 1 及び第 2 のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表す第 1 のエッジデータを格納しておくためのエッジデータメモリとを備え、

前記外付けメモリは、前記第 1 の時系列データに代わる第 2 の時系列データと、前記第 1 のエッジデータに代わる第 2 のエッジデータとを格納し、

前記タイミングジェネレータは、

前記第 1 及び第 2 の時系列データのうちのいずれかを選択するための手段と、

前記第 1 及び第 2 のエッジデータのうちのいずれかを選択するための手段と、

前記第 1 及び第 2 のカウンタのカウント値が前記選択されたエッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記選択された時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項 4】 請求項 3 記載のタイミングジェネレータシステムにおいて、前記外付けメモリは、シリアルデータ出力の ROMであることを特徴とするタイミングジェネレータシステム。

【請求項 5】 請求項 3 記載のタイミングジェネレータシステムにおいて、前記タイミングジェネレータは、前記外付けメモリから供給された第 2 の時系列データと第 2 のエッジデータとを格納するための記憶手段を更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項 6】 請求項 3 記載のタイミングジェネレータシステムにおいて、前記タイミングジェネレータと前記外付けメモリとの間の信号伝送は、前記システムの電源投入時、又は、前記固体撮像素子より有効な画素信号が出力されていない時にのみ実行されることを特徴とするタイミングジェネレータシステム。

【請求項 7】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータと、該タイミングジェネレータに接続されたコ

ントローラとを有するタイミングジェネレータシステムであって、

前記タイミングジェネレータは、

垂直同期信号の各パルスを送りトリガとしてカウント動作を実行する第 1 のカウンタと、

水平同期信号の各パルスを送りトリガとしてカウント動作を実行する第 2 のカウンタと、

出力パルスの論理レベルの繰り返しパターンを表す第 1 の時系列データを格納しておくための時系列データメモリと、

前記第 1 及び第 2 のカウンタのカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表す第 1 のエッジデータを格納しておくためのエッジデータメモリとを備え、

前記コントローラは、前記第 1 の時系列データに代わる第 2 の時系列データと、前記第 1 のエッジデータに代わる第 2 のエッジデータとを生成し、

前記タイミングジェネレータは、

前記第 1 及び第 2 の時系列データのうちのいずれかを選択するための手段と、

前記第 1 及び第 2 のエッジデータのうちのいずれかを選択するための手段と、

前記第 1 及び第 2 のカウンタのカウント値が前記選択されたエッジデータに一致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記選択された時系列データに基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルスとして出力するための手段とを更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項 8】 請求項 7 記載のタイミングジェネレータシステムにおいて、前記コントローラは、シリアルデータ出力のコンピュータであることを特徴とするタイミングジェネレータシステム。

【請求項 9】 請求項 7 記載のタイミングジェネレータシステムにおいて、前記タイミングジェネレータは、前記コントローラから供給された第 2 の時系列データと第 2 のエッジデータとを格納するための記憶手段を更に備えたことを特徴とするタイミングジェネレータシステム。

【請求項 10】 請求項 7 記載のタイミングジェネレータシステムにおいて

前記タイミングジェネレータと前記コントローラとの間の信号伝送は、前記システムの電源投入時、又は、前記固体撮像素子より有効な画素信号が出力されていない時にのみ実行されることを特徴とするタイミングジェネレータシステム。

【請求項 1 1】 請求項 7 記載のタイミングジェネレータシステムにおいて

前記タイミングジェネレータ中の時系列データメモリとエッジデータメモリとは、前記コントローラを用いて前記タイミングジェネレータで検証されたデータが書き込まれたマスク ROM であって、

前記タイミングジェネレータは、前記コントローラから切り離された状態で利用可能であることを特徴とするタイミングジェネレータシステム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータに関するものである。

【 0 0 0 2 】

【従来の技術】

CCD などの固体撮像素子を用いたビデオカメラやデジタルスチルカメラが知られている。これらのカメラの開発期間は短くなり、低価格化も進んでいる。当然、それに使用される部品についても同様の要望が多く、開発期間の短縮とローコスト化が必要となっている。

【 0 0 0 3 】

タイミングジェネレータは、固体撮像素子の駆動に用いられる多数のタイミングパルスを生成するための重要な部品である。

【 0 0 0 4 】

特開昭 6 3 - 6 1 5 6 0 号公報には、仕様変更に簡単に対処することができるように、タイミングパルスのパターンを表す時系列データを格納しておくためのメモリと、このメモリに読み出しアドレスを順次与えるためのカウンタとを備え

たタイミングジェネレータが開示されている。

【0005】

特開平9-205591号公報には、メモリ容量の削減を目的として、水平方向に繰り返すタイミングパルスと垂直方向に繰り返すタイミングパルスとを各々別個のメモリから得るようにしたタイミングジェネレータが開示されている。

【0006】

特開平10-257398号公報には、タイミングパルスをマイクロコンピュータによりプログラマブルに設定できるように、立ち上がりパルスをデコードするためのデコーダと、立ち下がりパルスをデコードするためのデコーダとを備えたタイミングジェネレータが開示されている。

【0007】

【発明が解決しようとする課題】

固体撮像素子の駆動に用いられるタイミングパルスは、その数が多く、かつその波形が複雑である。したがって、上記従来 of タイミングジェネレータのいずれでも、格納すべきデータ量が大きく、かつデータ設定が煩雑であるという問題があった。

【0008】

本発明の目的は、固体撮像素子の駆動に用いられるタイミングパルスを生成するためのメモリ内蔵型タイミングジェネレータに格納すべきデータの量を低減することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するため、本発明は、例えば数種類相関をもって変化するタイミングパルスについては、パルスの繰り返しパターンそのものを時系列データとしてもつ一方、個別に設定する必要があるタイミングパルスについては、立ち上がり・立ち下がりアドレスをエッジデータとしてもつこととしたものである。

【0010】

具体的には、本発明は、固体撮像素子の駆動に用いられるタイミングパルスを生成するためのタイミングジェネレータにおいて、垂直同期信号の各パルスをト

リガとしてカウント動作を実行する第 1 のカウンタと、水平同期信号の各パルス
をトリガとしてカウント動作を実行する第 2 のカウンタと、出力パルスの論理レ
ベルの繰り返しパターンを表す時系列データを格納しておくための時系列データ
メモリと、第 1 及び第 2 のカウンタのカウント値がいくつになった時に制御パル
スの論理レベルが遷移すべきかを表すエッジデータを格納しておくためのエッジ
データメモリと、第 1 及び第 2 のカウンタのカウント値が前記エッジデータに一
致した時点で前記制御パルスの論理レベルを遷移させ、かつ前記時系列データに
基づく出力パルスと前記制御パルスとの論理演算の結果を前記タイミングパルス
として出力するための手段とを備えた構成を採用したものである。

【 0 0 1 1 】

【発明の実施の形態】

図 1 は、本発明に係るタイミングジェネレータを用いた CCD カメラの概略構
成例を示している。図 1 において、11 は固体撮像素子（例えば CCD）を、1
2 は CDS（相関二重サンプリング）や ADC（アナログ・デジタル変換）の
処理を行う前処理 LSI を、13 は画素補間や輝度・色差処理などを行って映像
信号を出力するデジタル信号処理（DSP）LSI を、14 は固体撮像素子 1
1 の駆動に用いられるタイミングパルス H1, 2、V1～4 及び CH1, 2 を生
成するためのタイミングジェネレータ（TG）LSI を、15 は V1～4 及び C
H1, 2 から生成した駆動パルス ϕ V1～4 を固体撮像素子 11 へ供給するた
めのクロックドライバ（DR）LSI をそれぞれ示す。タイミングジェネレータ 1
4 は、デジタル信号処理 LSI 13 から水平同期信号 HD、垂直同期信号 VD
及びクロック信号 MCK の各パルスの供給を受け、上記タイミングパルス H1,
2、V1～4 及び CH1, 2 を生成するとともに、信号処理パルス PROC を前
処理及びデジタル信号処理の各 LSI 12, 13 へ供給するものである。ただ
し、水平及び垂直同期信号のパルスをタイミングジェネレータ 14 が生成する
こともある。本実施例では固体撮像素子 11 の駆動パルスのみについて述べてい
くが、本発明は、固体撮像素子 11 の駆動に用いられるタイミングパルス以外のパ
ルスを生成する場合にも適用可能である。

【 0 0 1 2 】

図2は、図1中の固体撮像素子11のゲート構成例を示している。図2において、21はフォトダイオード(PD)を、22は4相ゲートGV1, GV2, GV3, GV4からなる垂直転送部を、23は2相ゲートGH1, GH2からなる水平転送部を、24は電荷検出部をそれぞれ示す。図2において、フォトダイオード21と垂直転送部22とは簡略化して図示してあるが、実際の固体撮像素子11では、フォトダイオード21と垂直転送部22との組み合わせが水平画素数分だけ並ぶ。垂直転送部22のゲートは、水平転送部23側からGV3, GV2, GV1, GV4の順番の繰り返しで配列されている。図1中の駆動パルス $\phi V1 \sim 4$ は、それぞれ垂直転送部22のゲートGV1 ~ 4 に与えられる。また、図1中のタイミングパルスH1, 2は、それぞれ水平転送部23のゲートGH1, 2に与えられる。

【0013】

図2の固体撮像素子11の読み出し方法は、次のとおりである。すなわち、垂直転送部22のうちGV1に高電圧(約15V)の駆動パルス $\phi V1$ を印加することにより、フォトダイオード21から垂直転送部22へ電荷を読み出し、垂直転送部22のGV1からGV4までのゲートに駆動パルス $\phi V1 \sim 4$ を入力することにより、その電荷を1水平走査期間に1回ずつフォトダイオード21の1行分の電荷を同時に水平転送部23へ転送し、水平転送部23にタイミングパルスH1, 2を印加して水平転送部23の電荷を送り、電荷検出部24より信号を出力するのである。

【0014】

図3は、図1中のタイミングジェネレータ14の内部構成例を示している。図3のタイミングジェネレータ14は、分周器30と、V及びHカウンタ31, 41と、V及びHコンパレータ32, 42と、第1及び第2のエッジデータROM33, 43と、時系列データROM50と、組み合わせ論理回路(MIX)ブロック60とから構成されている。分周器30は、クロック信号MCKを分周する。Vカウンタ31は、垂直同期信号パルス(VDパルス)をトリガとしてカウント動作を実行する。Hカウンタ41は、水平同期信号パルス(HDパルス)をトリガとしてカウント動作を実行する。V及びHコンパレータ32, 42は、V及

びHカウンタ31, 41のカウント値が第1及び第2のエッジデータROM33, 43の格納データと一致したか否かを判定するためのコンパレータである。第1及び第2のエッジデータROM33, 43は、V及びHカウンタ31, 41のカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すデータを格納しておくためのメモリである。時系列データROM50は、出力パルスの論理レベルの繰り返しパターンを表すデータを格納しておくためのメモリであって、Hカウンタ41のカウント値を読み出しアドレスとして受け入れるものである。MIXブロック60は、分周器30と、V及びHコンパレータ32, 42と、時系列データROM50との各出力を論理演算することにより、V及びHカウンタ31, 41のカウント値が所定のエッジデータに一致した時点で制御パルスの論理レベルを遷移させ、かつ時系列データROM50の格納データに基づく出力パルスと制御パルスとの論理演算の結果をタイミングパルスとして出力するものである。

【0015】

図4は、図1中の主要信号の波形例（VDパルス付近）を示している。図4中のV1及びCH1は、タイミングジェネレータ14から出力されるタイミングパルスであって、クロックドライバ15で3値化及び電圧変換されて駆動パルス ϕ V1となる。不図示のV2～4は、クロックドライバ15で電圧変換されて ϕ V2～4となる。

【0016】

図5は、図4のうちHDパルスの入力毎に同じ出力をしている部分（走査線番号19及び20）の拡大図を示している。図5のように、HDパルスの入力毎に繰り返し出力するパルスV1～4は、時系列データROM50を利用して生成される。

【0017】

図6は、図5中のタイミングT1～5に対応した時系列データROM50の格納データ（パルスV1～4の生成用）の例を示している。

【0018】

図7は、図4のうちフォトダイオード21から垂直転送部22に電荷を読み出

す部分（走査線番号 1 7 及び 1 8）の拡大図を示している。V 3 Gate 及び V 1 2 4 Gate は、M I X ブロック 6 0 の中で用いられる制御パルスであって、第 1 及び第 2 のエッジデータ ROM 3 3, 4 3 の格納データから V 及び H コンパレータ 3 2, 4 2 により生成される。そして、M I X ブロック 6 0 は、V 3 Gate と時系列データ ROM 5 0 の出力である V 3 とを論理演算（AND）することで、図 7 の V 3 をつくる。V 1, 2 についても、V 1 2 4 Gate と時系列データ ROM 5 0 の出力である V 1, 2 とを論理演算（AND）することで、図 7 の V 1, 2 をつくる。V 4 については、V 1 2 4 Gate の論理反転した信号と時系列データ ROM 5 0 の出力である V 4 とを論理演算（OR）することで、図 7 の V 4 をつくる。

【 0 0 1 9 】

以上のとおり、図 3 の構成によれば、繰り返しが多くかつ複雑なパルスについては、時系列データ ROM 5 0 の格納データを活用し、繰り返しが少ないパルスについては、第 1 及び第 2 のエッジデータ ROM 3 3, 4 3 に格納された立ち上がり／立ち下がりデータを活用することにより、メモリに格納すべきデータ量の増大を避けることができる。

【 0 0 2 0 】

なお、時系列データ ROM 5 0 の読み出しタイミング（スタート位置、論理変化周期、クロック停止位置など）を第 1 及び第 2 のエッジデータ ROM 3 3, 4 3 で設定すれば、時系列データ ROM 5 0 のデータ量を飛躍的に減らすことができる。

【 0 0 2 1 】

図 8 は、図 3 のタイミングジェネレータ 1 4 の変形例を示している。図 8 のタイミングジェネレータ 1 4 は、外付け ROM 7 0 とともにタイミングジェネレータシステムを構成するものであって、図 3 の構成にセレクタの機能を有するブロック 3 4, 4 4, 5 1 と、SPC（シリアル・パラレル変換）の機能を有するブロック 6 5, 6 6 とを付加してなるものである。外付け ROM 7 0 は、第 1 及び第 2 のエッジデータ ROM 3 3, 4 3 に格納された第 1 のエッジデータに代わる第 2 のエッジデータと、時系列データ ROM 5 0 に格納された第 1 の時系列データに代わる第 2 の時系列データとを格納しておくための、シリアルデータ出力の

メモリである。セクタ 3 4, 4 4 は第 1 及び第 2 のエッジデータのうちのいずれかを、セクタ 5 1 は第 1 及び第 2 の時系列データのうちのいずれかをそれぞれ選択する。したがって、V 及び H カウンタ 3 1, 4 1 のカウント値が第 1 又は第 2 のエッジデータに一致した時点で制御パルスの論理レベルが遷移し、かつ第 1 又は第 2 の時系列データに基づく出力パルスと制御パルスとの論理演算の結果がタイミングパルスとして出力されるようになっている。

【 0 0 2 2 】

図 8 の構成によれば、タイミングジェネレータ 1 4 の完成後も、外付け ROM 7 0 により固体撮像素子 1 1 の駆動タイミングを変更することが可能となる。特に、一部の修正や開発時間が短いときには有益である。しかも、外付け ROM 7 0 をシリアルデータ出力の ROM とすることで、タイミングジェネレータ 1 4 の端子数をあまり増やさずに実現可能である。

【 0 0 2 3 】

なお、外付け ROM 7 0 の格納データをタイミングジェネレータ 1 4 へ転送する場合、これを読み出すためのアドレス線やクロック線、アドレスに応じたデータによる入出力バッファの論理変化に伴い電流が流れる。これが、固体撮像素子 1 1 から画素信号が出力されるタイミングと同時に発生すると、H 1, 2 や前処理 L S I 1 2 のためのパルスを通してノイズとなる。これを避けるために、タイミングジェネレータ 1 4 と外付け ROM 7 0 との間の信号伝送は、システムの電源投入時、又は、固体撮像素子 1 1 より有効な画素信号が出力されない、水平・垂直同期信号直後のブランキング期間などに実行される。

【 0 0 2 4 】

図 9 は、図 3 のタイミングジェネレータ 1 4 の他の変形例を示している。図 9 のタイミングジェネレータ 1 4 は、外付け ROM 7 0 及びパーソナルコンピュータ (P C) 1 0 0 とともにタイミングジェネレータシステムを構成するものであって、分周器 3 0 と、V 及び H カウンタ 3 1, 4 1 と、V 及び H コンパレータ 3 2, 4 2 と、エッジデータ ROM 8 1 と、アドレスカウンタ 9 1 と、時系列データ ROM 9 2 と、セクタ + S P C の機能を有するブロック 8 2, 9 3 と、セクタの機能を有するブロック 8 3 と、エッジデータ RAM 8 4 と、時系列データ

RAM 9 4 と、セクタ+ラッチの機能を有するブロック 9 5 と、M I X ブロック 6 0 と、遅延調整ブロック 9 6 とから構成されている。外付け R O M 7 0 は、エッジデータ R O M 8 1 に格納された第 1 のエッジデータに代わる第 2 のエッジデータと、時系列データ R O M 9 2 に格納された第 1 の時系列データに代わる第 2 の時系列データとを格納しておくための、シリアルデータ出力のメモリである。P C 1 0 0 は、エッジデータ R O M 8 1 に格納された第 1 のエッジデータに代わる第 3 のエッジデータと、時系列データ R O M 9 2 に格納された第 1 の時系列データに代わる第 3 の時系列データとを生成するための、シリアルデータ出力のコンピュータであって、電圧変換ブロック 1 0 1 を介してタイミングジェネレータ 1 4 及び外付け R O M 7 0 に接続されている。セクタ 8 2, 8 3 は第 1 ~ 第 3 のエッジデータのうちのいずれかを、セクタ 9 3, 9 5 は第 1 ~ 第 3 の時系列データのうちのいずれかをそれぞれ選択する。したがって、V 及び H カウンタ 3 1, 4 1 のカウント値が第 1 ~ 第 3 のエッジデータのいずれかに一致した時点で制御パルスの論理レベルが遷移し、かつ第 1 ~ 第 3 の時系列データのいずれかに基づく出力パルスと制御パルスとの論理演算の結果がタイミングパルスとして出力されるようになっている。なお、エッジデータ R A M 8 4 は第 1 ~ 第 3 のエッジデータのいずれかを格納するための R A M であり、時系列データ R A M 9 4 は第 2 又は第 3 の時系列データを格納するための R A M である。ラッチ 9 5 は、第 1 ~ 第 3 の時系列データのいずれかを格納するようになっている。

【 0 0 2 5 】

図 9 の構成によれば、タイミングジェネレータ 1 4 の完成後も、外付け R O M 7 0 及び P C 1 0 0 のいずれでも固体撮像素子 1 1 の駆動タイミングを変更することが可能となる。特に、一部の修正や開発時間が短いときには有益である。ただし、外付け R O M 7 0 を省略してもよい。

【 0 0 2 6 】

また、P C 1 0 0 からタイミングジェネレータ 1 4 に所要のデータを設定することで、固体撮像素子 1 1 の駆動タイミング変更時に逐一 R O M データを介して設定することがなくなるため、タイミングジェネレータ 1 4 の設計時間や手間を省くことが可能となる。しかも、P C 1 0 0 をシリアルデータ出力のコンピュー

タとすることで、タイミングジェネレータ14の端子数をあまり増やさずに実現可能である。

【0027】

更に、外付けROM70やPC100からタイミングジェネレータ14への入力部分に、RAMやラッチなどのデータの書き換えが可能で、かつ読み出しが速い記憶手段を用いることで、データのシリアル転送を採用しているものの、一旦データをタイミングジェネレータ14に転送してしまえば、その後はリアルタイムでの評価・検証が可能となる。

【0028】

なお、タイミングジェネレータ14とPC100との間の信号伝送は、タイミングジェネレータ14と外付けROM70との間の信号伝送の場合と同様に、ノイズ防止のために、システムの電源投入時、又は、固体撮像素子11より有効な画素信号が出力されない、水平・垂直同期信号直後のブランキング期間などに実行される。

【0029】

さて、図9中のエッジデータROM81及び時系列データROM92には、マスクROMを採用することができる。マスクROMは、アルミやポリシリコンなどの半導体の配線材料やその材料間を接続するコンタクトと呼ばれるマスクを用いてROMデータの論理を決定するものである。図9のシステムによれば、PC100を用いてタイミングジェネレータ14の動作検証を行い、その結果得られたROMデータマップ（「0」、「1」で記述されている。）をPC100でマスクデータに自動変換し、このマスクデータを使ってエッジデータROM81及び時系列データROM92の書き込みデータを決定することができる。このようにしてROM格納データが決定されたタイミングジェネレータ14は、PC100から切り離された状態でも利用可能である。これにより、人手を介さずにタイミングジェネレータ14のマスクを変更できるため、データ変換に時間がかからず、データの入力ミスがなくなる。したがって、タイミングジェネレータ14の設計時間・試作時間とも短縮することが可能となる。

【0030】

【発明の効果】

以上説明してきたとおり、本発明によれば、例えば数種類相関をもって変化するタイミングパルスについては、パルスの繰り返しパターンそのものを時系列データとしてもつ一方、個別に設定する必要があるタイミングパルスについては、立ち上がり・立ち下がりアドレスをエッジデータとしてもつこととしたので、タイミングジェネレータに格納すべきデータの量を低減することができる。

【図面の簡単な説明】

【図 1】

本発明に係るタイミングジェネレータを用いた CCD カメラの概略構成例を示すブロック図である。

【図 2】

図 1 中の固体撮像素子 (CCD) のゲート構成例を示す概念図である。

【図 3】

図 1 中のタイミングジェネレータの内部構成例を示すブロック図である。

【図 4】

図 1 中の主要信号の波形例を示すタイミングチャート図である。

【図 5】

図 3 のタイミングジェネレータの動作を説明するためのタイミングチャート図である。

【図 6】

図 3 中の時系列データ ROM の格納データの一例を示す説明図である。

【図 7】

図 3 のタイミングジェネレータの他の動作を説明するためのタイミングチャート図である。

【図 8】

図 3 のタイミングジェネレータの変形例を示すブロック図である。

【図 9】

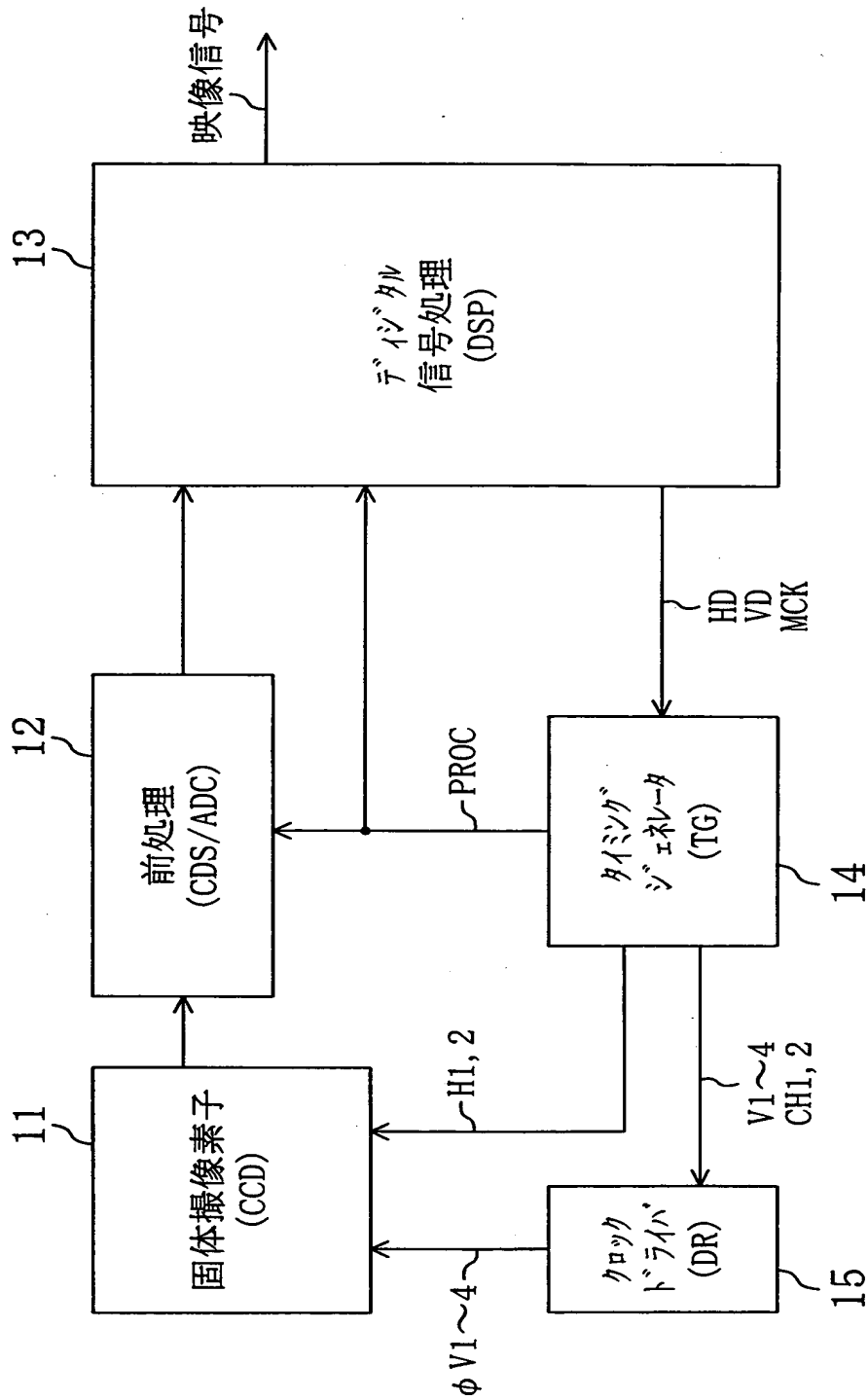
図 3 のタイミングジェネレータの他の変形例を示すブロック図である。

【符号の説明】

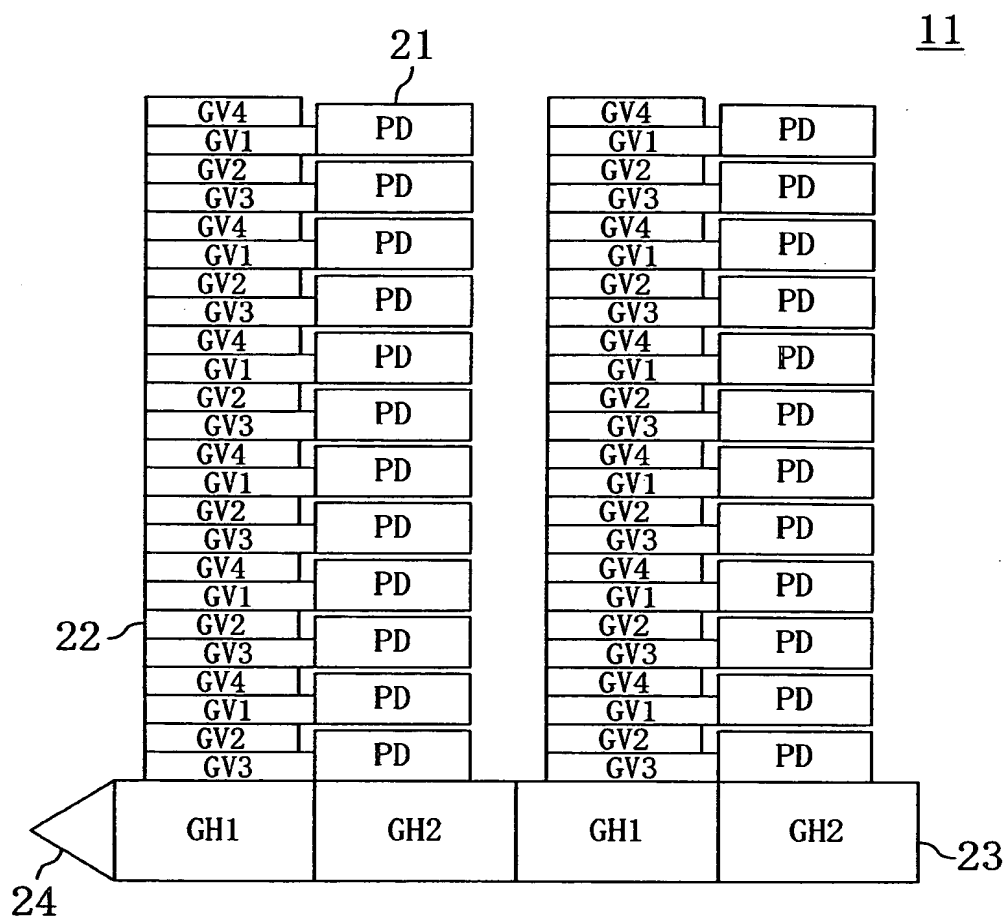
- 1 1 固体撮像素子 (CCD)
- 1 2 前処理 (CDS/ADC) LSI
- 1 3 デジタル信号処理 (DSP) LSI
- 1 4 タイミングジェネレータ (TG) LSI
- 1 5 クロックドライバ (DR) LSI
- 2 1 フォトダイオード (PD)
- 2 2 垂直転送部
- 2 3 水平転送部
- 2 4 電荷検出部
- 3 0 分周器
- 3 1 Vカウンタ
- 3 2 Vコンパレータ
- 3 3 第1のエッジデータROM
- 4 1 Hカウンタ
- 4 2 Hコンパレータ
- 4 3 第2のエッジデータROM
- 5 0 時系列データROM
- 6 0 組み合わせ論理回路 (MIX) ブロック
- 7 0 外付けROM
- 8 1 エッジデータROM
- 8 4 エッジデータRAM
- 9 2 時系列データROM
- 9 4 時系列データRAM
- 1 0 0 パーソナルコンピュータ (PC)

【書類名】 図面

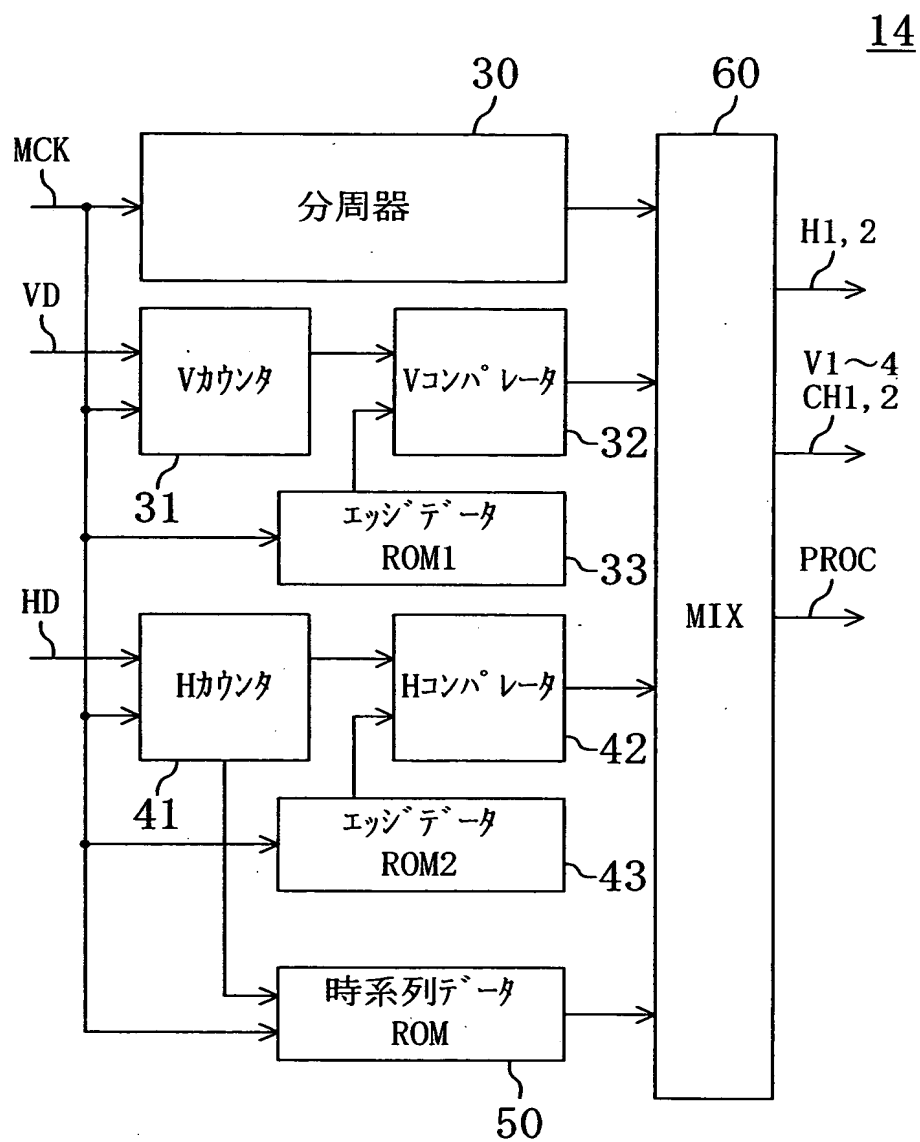
【図1】



【図 2】

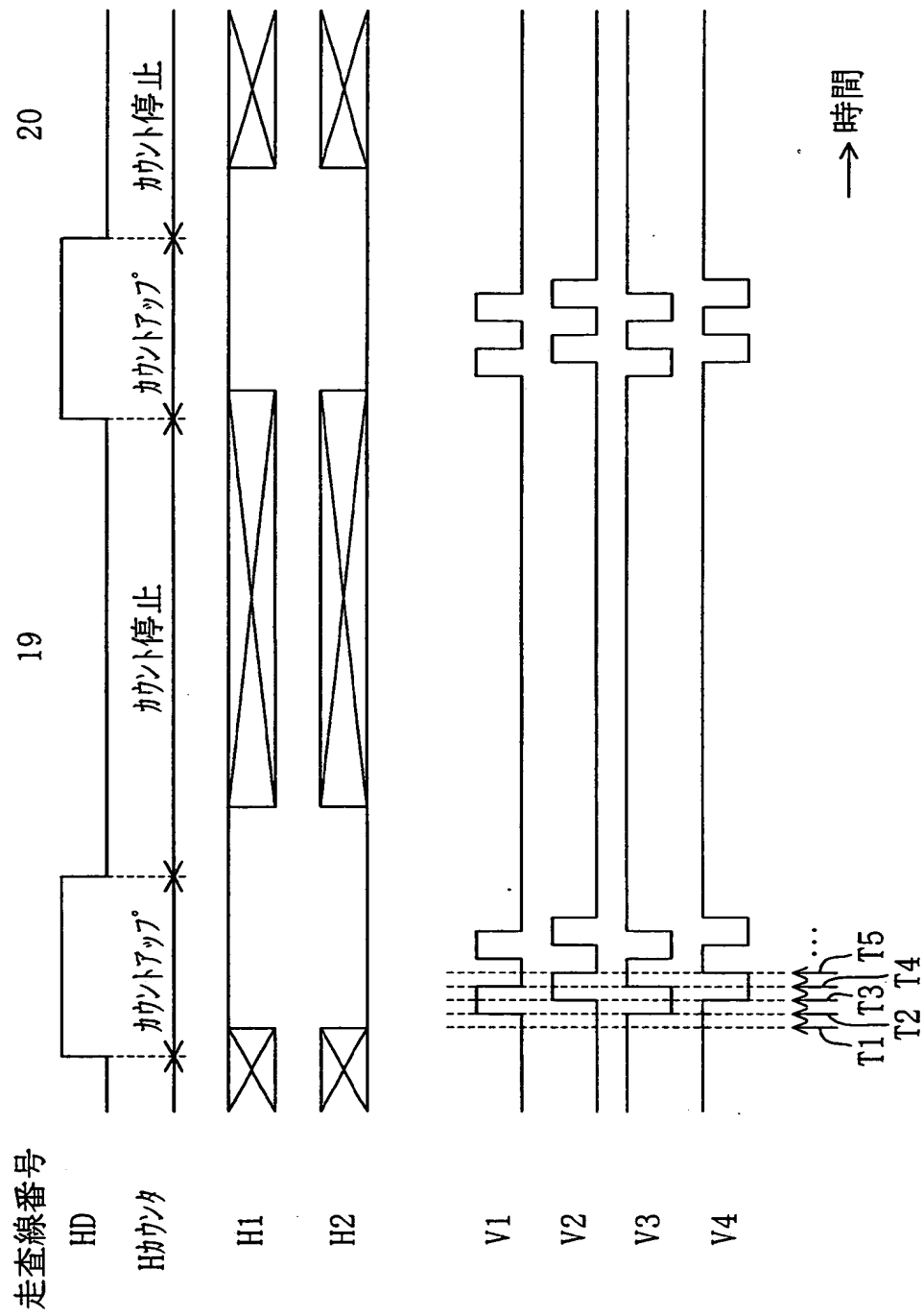


【図3】



[illegible]

【図5】

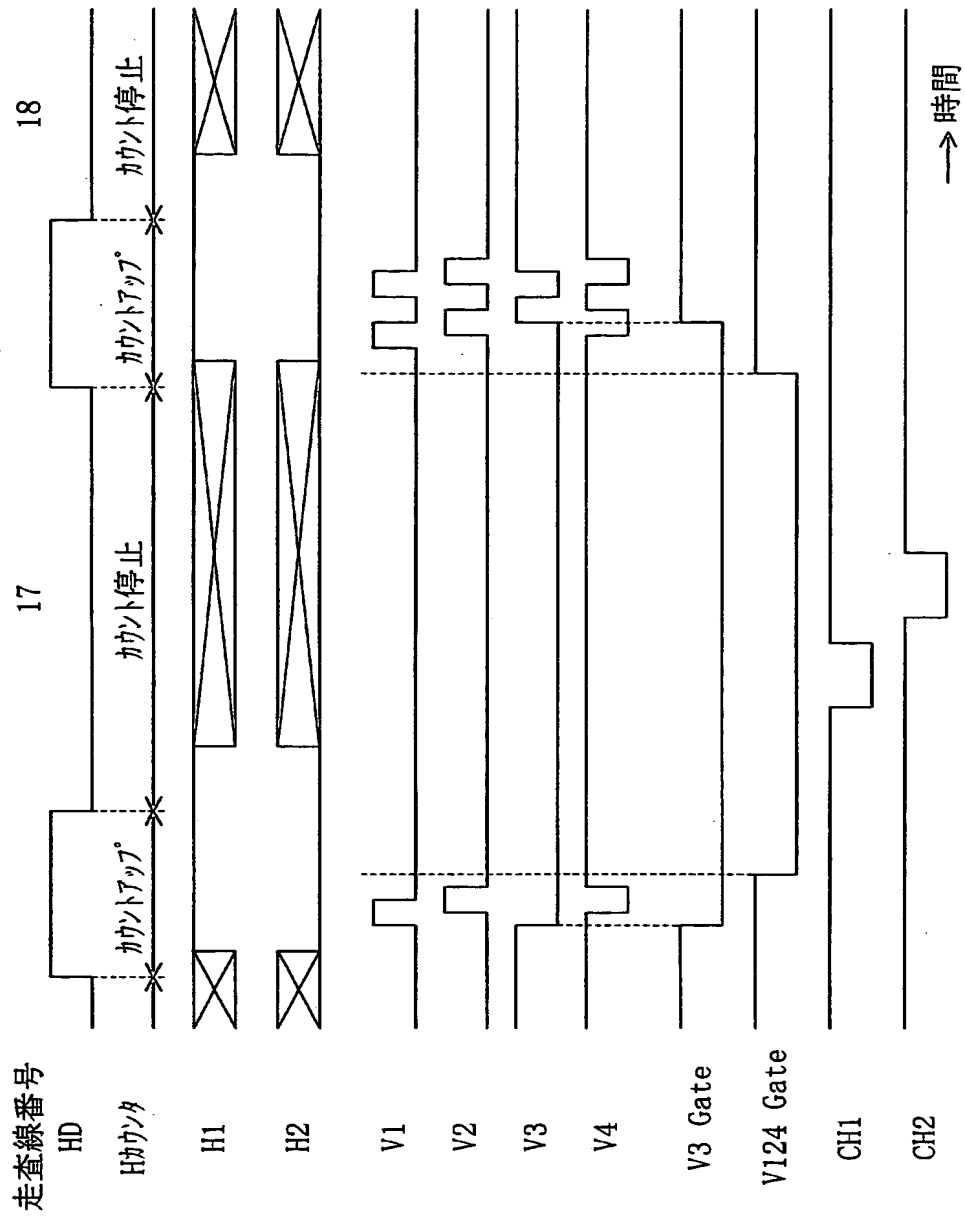


【図 6】

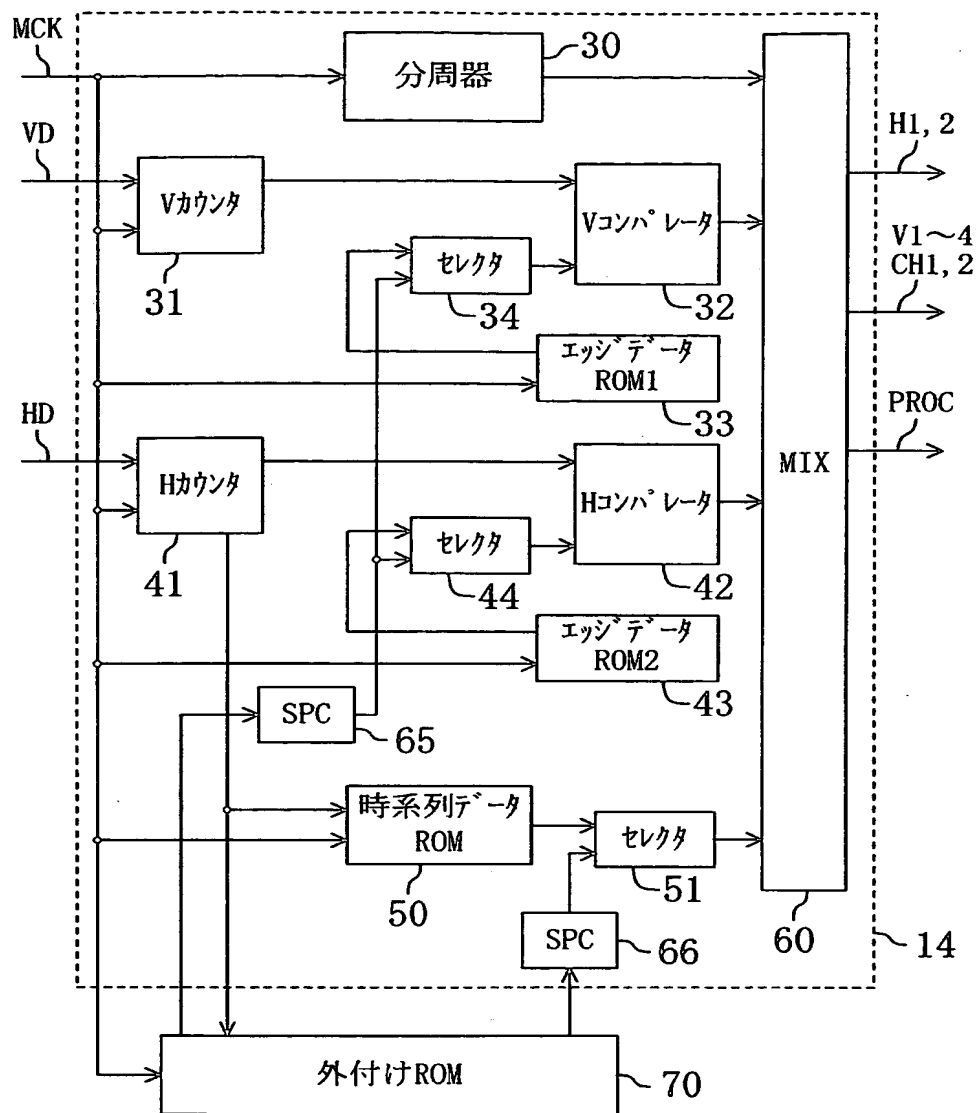
時系列データ

	V	V	V	V
	1	2	3	4
T1	0	0	1	1
T2	1	0	0	1
T3	1	1	0	0
T4	0	1	1	0
T5	0	0	1	1
			⋮	
			⋮	
			⋮	

【図 7】



【図8】



The diagram illustrates the system architecture. A PC (100) provides power to a voltage converter (101). The voltage converter (101) supplies power to an external ROM (70) and the main processing unit (14). The external ROM (70) is connected to the address bus (91) of the main processing unit (14). The main processing unit (14) contains a clock divider (30), V-counter (31), H-counter (41), V-comparator (32), H-comparator (42), edge trigger ROM (81), selector (82), edge trigger RAM (84), address counter (91), selector + SPC (92), time series data ROM (93), selector + SPC (94), time series data RAM (95), selector + latch (95), delay adjustment (96), and a mixer (MIX). The mixer (MIX) outputs signals H1, 2, V1~4, CH1, 2, and PROC. The main processing unit (14) is also connected to a bus (60).

【書類名】 要約書

【要約】

【課題】 固体撮像素子の駆動に用いられるタイミングパルスを生成するためのメモリ内蔵型タイミングジェネレータに格納すべきデータの量を低減する。

【解決手段】 各々垂直同期信号VD及び水平同期信号HDのパルスをトリガとしてカウント動作を実行するV及びHカウンタ31, 41と、出力パルスの論理レベルの繰り返しパターンを表す時系列データを格納しておくためのROM50と、V及びHカウンタ31, 41のカウント値がいくつになった時に制御パルスの論理レベルが遷移すべきかを表すエッジデータを格納しておくためのROM33, 43と、V及びHカウンタ31, 41のカウント値がエッジデータに一致した時点で制御パルスの論理レベルを遷移させ、かつ時系列データに基づく出力パルスと制御パルスとの論理演算の結果をタイミングパルスとして出力するためのV及びHコンパレータ32, 42並びに組み合わせ論理回路60とを設ける。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日	1993年 9月 1日
[変更理由]	住所変更
住 所	大阪府高槻市幸町1番1号
氏 名	松下電子工業株式会社